

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-249657

(43)Date of publication of application : 26.09.1995

(51)Int.CI. H01L 21/60  
H01L 21/60  
H01L 21/66  
// H01L 23/34

(21)Application number : 06-040043

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.03.1994

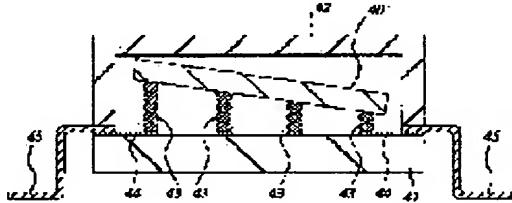
(72)Inventor : TAKAHASHI HIROYUKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To easily execute visual inspection of a semiconductor chip mounted on a wiring substrate by a flip chip method.

**CONSTITUTION:** When face-down bonding is performed for a semiconductor chip inspection of an element formation surface of the semiconductor chip 40 is aslant by making bump electrodes 43 different in height, visual inspection of an element formation surface of the semiconductor chip 40 is made possible and heat dissipation property of the semiconductor chip 40 is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-249657

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl.  
H 01 L 21/60  
21/66  
// H 01 L 23/34

識別記号 庁内整理番号  
311 S 6918-4M  
321 Y  
J 7630-4M  
A

F I

技術表示箇所

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号

特願平6-40043

(22)出願日

平成6年(1994)3月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高橋 裕之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センター内

(74)代理人 弁理士 简井 大和

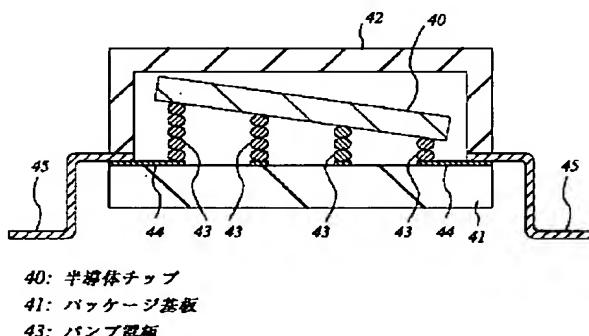
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 フリップチップ方式によって配線基板上に実装された半導体チップの外観検査を容易に実施できるようとする。

【構成】 半導体チップ40をパッケージ基板41上にフェイスダウンボンディングする際、パンプ電極43の高さを異なさせて半導体チップ40を斜めに実装し、半導体チップ40の素子形成面の外観検査を可能とすると共に、半導体チップ40の放熱性を向上させる。

図 1



## 【特許請求の範囲】

【請求項1】配線基板の主面上にバンプ電極を介して半導体チップをフェイスダウンボンディングした半導体集積回路装置であって、高さの異なるバンプ電極を用いて前記半導体チップを前記配線基板の主面上に斜め実装したことを特徴とする半導体集積回路装置。

【請求項2】複数個のバンプ電極を高さ方向に重ね合わせることによってバンプ電極の高さを異ならせたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】対向する一対のバンプ電極の間に長さの異なるピンを介在させてバンプ電極の高さを異ならせたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】バンプ電極を金で構成したことを特徴とする請求項1、2または3記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、フリップチップ方式によって半導体チップを配線基板に実装する半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】半導体チップを配線基板に実装する方式として、フリップチップ方式が知られている。

【0003】フリップチップ方式は、半導体チップの正面に蒸着した半田薄膜をリフトオフ法でパターニングして電極パッド上のみに半田薄膜を残し、これを加熱溶融してボール状の半田バンプを形成した後、この半田バンプを介して半導体チップを配線基板上にフェイスダウンボンディングする方式であり、例えば「日本金属学会会報第23巻第12号(1984年)」P1004~P1013や、特開昭62-249429号公報などに記載がある。

## 【0004】

【発明が解決しようとする課題】前記フリップチップ方式は、半導体チップの素子形成面を下向きにして配線基板上に実装するため、実装後に半導体チップの素子形成面を外観検査することが殆ど不可能で、迅速な不良解析を行うことができないという問題があった。

【0005】また、半導体チップの素子形成面と配線基板との隙間が極めて狭い(半田バンプの直径程度)ため、半導体チップの放熱性が低いという問題があった。

【0006】本発明の目的は、フリップチップ方式で配線基板上に実装された半導体チップの外観検査を容易に実施することのできる技術を提供することにある。

【0007】本発明の他の目的は、フリップチップ方式で配線基板上に実装された半導体チップの放熱性向上させることのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0010】本発明の半導体集積回路装置は、半導体チップを配線基板の主面上にフェイスダウンボンディングする際、高さの異なるバンプ電極を用いて半導体チップを配線基板の主面上に斜め実装するものである。

## 【0011】

【作用】上記した手段によれば、半導体チップを配線基板の主面上に斜めに実装することにより、半導体チップの素子形成面を横方向から外観検査することが可能となる。

【0012】また、半導体チップを配線基板の主面上に斜めに実装することにより、半導体チップの素子形成面と配線基板との隙間が広るので、半導体チップの放熱性が向上する。

## 【0013】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0014】(実施例1)図1は、本発明の一実施例である半導体集積回路装置の断面図である。この半導体集積回路装置は、シリコン単結晶の半導体チップ40をセラミック製のパッケージ基板41の正面にフェイスダウンボンディングし、この半導体チップ40をセラミック製のキャップ42で気密封止したLSIパッケージである。

【0015】上記半導体チップ40は、Au(金)のバンプ電極43を介してパッケージ基板41の主面上の配線44の一端に接続されている。また、この配線44の他端には外部端子であるリード45が接続されている。本実施例のLSIパッケージの特徴は、上記バンプ電極43の高さを異ならせることによって、半導体チップ40をパッケージ基板41の主面上に斜め実装したことにある。

【0016】上記半導体チップ40の素子形成面には、例えば図2に示すようなバイポーラトランジスタを備えた高速バイポーラLSIが形成されている。

【0017】同図に示すように、半導体チップ40は、高抵抗の単結晶シリコンからなる支持基板1上に酸化シリコン膜からなる接着層2を介して単結晶のシリコン薄膜3を貼り合わせたSOI(Silicon On Insulator)基板で構成されている。

【0018】バイポーラトランジスタは、上記SOI基板のシリコン薄膜3の上に成長させたn型のエピタキシャル層4の活性領域に形成されている。この活性領域の下部には、シリコン薄膜3にn型の不純物をドープして形成した埋込み層5が設けられている。

【0019】上記活性領域は素子分離領域によって周囲の他の活性領域と電気的に分離されている。この素子分離領域は、エピタキシャル層4の正面に形成された酸化

シリコン膜からなるフィールド絶縁膜6とその下部のシリコン薄膜3に形成されたU溝7とで構成されている。

【0020】上記活性領域の正面に形成されたバイポーラトランジスタは、n型コレクタ領域、p型ベース領域、n型エミッタ領域の各々を上下方向に配置した縦型構造で構成されている。n型コレクタ領域はエピタキシャル層4、埋込み層5およびコレクタ引出し用のn型半導体領域8で構成されている。p型ベース領域はグラフトベース領域であるp型半導体領域9と真性ベース領域であるp型半導体領域10とで構成されている。n型エミッタ領域はn型半導体領域11で構成されている。

【0021】上記コレクタ引出し川のn型半導体領域8には、フィールド絶縁膜6の一部に開孔された接続孔12を通じて第1層目の配線13が接続されている。グラフトベース領域であるp型半導体領域9には、フィールド絶縁膜6の一部に開孔された接続孔14を通じてベース引出し電極15の一端が接続されている。このベース引出し電極15は、p型不純物(ホウ素)が導入された多結晶シリコン膜で構成されている。ベース引出し電極15の他端には、酸化シリコンからなる絶縁膜16に開孔された接続孔17を通じて第1層目の配線18が接続されている。

【0022】n型エミッタ領域であるn型半導体領域11には、フィールド絶縁膜6の一部に開孔された接続孔19を通じてエミッタ引出し電極20が接続されている。このエミッタ引出し電極20は、n型不純物(リンまたはヒ素)が導入された多結晶シリコン膜で構成されている。エミッタ引出し電極20には、絶縁膜16に開孔された接続孔21を通じて第1層目の配線22が接続されている。

【0023】上記第1層目の配線13、18、22は、W(タンゲステン)/Al(アルミニウム)/W(タンゲステン)の積層膜で構成されている。ここで、下層のWはスパッタ法とCVD法との連続処理で形成され、下地の絶縁膜16に対して良好な接着性を維持している。また、Alは純AlまたはSiもしくはCuあるいはこの両者が添加されたアルミニウム合金で構成され、配線抵抗を下げる目的として用いられている。Cuはマイグレーションを低減する作用がある。上層のWは、反射防止膜としての作用を有している。

【0024】上記第1層目の配線13、18、22は、層間絶縁膜23、24、25で覆われている。ここで、層間絶縁膜23、25はプラズマCVD法で堆積した酸化シリコン膜であり、層間絶縁膜24はスピンドルガラス膜である。この層間絶縁膜24はその表面がエッチバックにより平坦化され、層間絶縁膜23の凹部に埋め込まれている。

【0025】上記層間絶縁膜25の上には、第2層目の配線26、27が形成されている。配線26は、層間絶縁膜23、24、25にほぼ垂直に開孔された接続孔2

8を通じて第1層目の配線13に接続されている。第2層目の配線26、27は、第1層目の配線13、18、22と同じく、W/Al/Wの積層膜で構成されている。

【0026】上記第2層目の配線26、27は、パッシベーション膜で覆われている。このパッシベーション膜は、プラズマCVD法で堆積した窒化シリコン膜29とプラズマCVD法で堆積した酸化シリコン膜30との積層膜で構成されている。

【0027】上記パッシベーション膜の上には、外部端子用引出し配線としてのBLM層34が形成されている。このBLM層34は、一例としてクロム(Cr)膜、銅(Cu)膜、金(Au)膜を順次積層した構造となっている。ここで、Cr膜はCu膜とバンプ電極43との反応を抑えるバリアの役目をし、Cu膜はバンプ電極43の濡れ性を確保する役目をする。また、最上層のAu膜はCu膜の酸化を防止する役目をする。

【0028】上記BLM層34は、パッシベーション膜に開孔された接続孔36を通じて第2層日の配線26に接続されている。この接続孔36は、その断面がテーパ状となるように加工されている。また、BLM層34の上には、Auのバンプ電極43が形成されている。

【0029】次に、本実施例のLSIパッケージの製造方法の一例を図3～図7を用いて説明する。

【0030】まず、図3に示すように、半導体チップ40の主面上にバンプ電極43を接合する。バンプ電極43の接合は、加熱、超音波またはこれらを併用した周知のボールボンディング法で行う。

【0031】また、図4に示すように、上記の作業と並行してパッケージ基板41の配線44上にも前記ボールボンディング法でバンプ電極43を接合する。このとき、バンプ電極43を高さ方向に複数個重ね合わせて接合する。その際、パッケージ基板41の一端側でバンプ電極43の高さが高く、他端側で低くなるように、重ね合わせるバンプ電極43の数を配線44同士の間で調整する。

【0032】次に、図5に示すように、底面に傾斜を設けたツール50をパッケージ基板41の上方からバンプ電極43に圧着し、それぞれの配線44上に接合された最上段のバンプ電極43がツール50の底面に接触するように高さを調整する。

【0033】次に、図6に示すように、パッケージ基板41の主面上に半導体チップ40を重ね合わせ、パッケージ基板41側のバンプ電極43と半導体チップ40側のバンプ電極43とを熱圧着で接合して半導体チップ40を実装する。

【0034】次に、図7に示すように、半導体チップ40の外観検査を行う。この外観検査は、半導体チップ40の素子形成面の状態やバンプ電極43の接続状態などを鏡面51からの反射光などを利用してパッケージ基板

41の上方から目視あるいは顕微鏡で検査することにより、容易に実施が可能である。

【0035】その後、半導体チップ40をキャップ42で気密封止することにより、前記図1に示すLSIパッケージが完成する。

【0036】このように、本実施例によれば、パッケージ基板41の主面上にフェイスダウンボンディングした半導体チップ40の外観検査を容易に実施することができる、LSIパッケージの信頼性、製造歩留りが向上する。

【0037】また、本実施例によれば、半導体チップ40を斜め実装することにより、半導体チップ40の素子形成面とパッケージ基板41との隙間が広がり、半導体チップ40からパッケージ基板41への輻射熱が低減されると共に、この隙間に空気の対流が生じ易くなるので、半導体チップ40の放熱性が向上する。

【0038】(実施例2) 図8は、本発明の他の実施例である半導体集積回路装置の断面図である。前記実施例1では、パッケージ基板41の配線44上に重ね合わせるバンプ電極43の数を変えて半導体チップ40に傾斜を持たせたが、本実施例2では、図8に示すように、パッケージ基板41側に接合したバンプ電極43と半導体チップ40側に接合したバンプ電極43との間に導電性のピン46を介在させ、このピン46の長さを変えることによって半導体チップ40を斜め実装している。

【0039】本実施例2によれば、前記実施例1と同様、パッケージ基板41の主面上にフェイスダウンボンディングした半導体チップ40の外観検査を容易に実施することができる。また、半導体チップ40の放熱性を向上させることができる。

【0040】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0041】前記実施例では、LSIパッケージの基板41に半導体チップを実装した場合について説明したが、半導体チップをフリップチップ方式で各種配線基板上に実装する場合に広く適用することができる。

【0042】また、本発明によれば、半導体チップの外観検査のみならず、半導体チップを配線基板にフェイスダウンボンディングする際、配線基板側のバンプ電極(または配線)と半導体チップ側のバンプ電極との位置合わせも高精度に行うことが可能となる。

【0043】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0044】本発明によれば、半導体チップを配線基板上に斜め実装することにより、配線基板上にフェイスダウンボンディングされた半導体チップの外観検査を容易

に実施することができる。

【0045】また、本発明によれば、半導体チップを配線基板上に斜め実装することにより、半導体チップの素子形成面と配線基板との隙間が広がり、半導体チップの放熱性が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の断面図である。

【図2】図1に示す半導体集積回路装置に実装された半導体チップの要部断面図である。

【図3】図1に示す半導体集積回路装置の製造方法を示す断面図である。

【図4】図1に示す半導体集積回路装置の製造方法を示す断面図である。

【図5】図1に示す半導体集積回路装置の製造方法を示す断面図である。

【図6】図1に示す半導体集積回路装置の製造方法を示す断面図である。

【図7】図1に示す半導体集積回路装置の製造方法を示す断面図である。

【図8】本発明の他の実施例である半導体集積回路装置の断面図である。

【符号の説明】

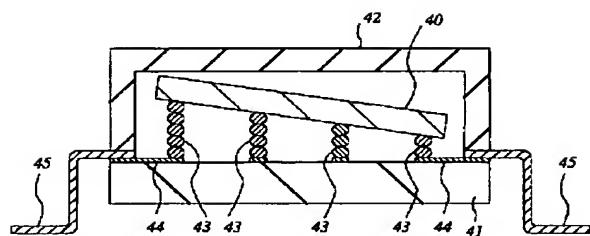
- |    |           |
|----|-----------|
| 1  | 支持基板      |
| 2  | 接着層       |
| 3  | シリコン薄膜    |
| 4  | エピタキシャル層  |
| 5  | 埋込み層      |
| 6  | フィールド絶縁膜  |
| 7  | U溝        |
| 8  | n型半導体領域   |
| 9  | p型半導体領域   |
| 10 | p型半導体領域   |
| 11 | n型半導体領域   |
| 12 | 接続孔       |
| 13 | 配線        |
| 14 | 接続孔       |
| 15 | ベース引出し電極  |
| 16 | 絶縁膜       |
| 17 | 接続孔       |
| 18 | 配線        |
| 19 | 接続孔       |
| 20 | エミッタ引出し電極 |
| 21 | 接続孔       |
| 22 | 配線        |
| 23 | 層間絶縁膜     |
| 24 | 層間絶縁膜     |
| 25 | 層間絶縁膜     |
| 26 | 配線        |
| 27 | 配線        |

- 28 接続孔  
 29 窒化シリコン膜  
 30 酸化シリコン膜  
 34 BLM層  
 36 接続孔  
 40 半導体チップ  
 41 パッケージ基板

- 42 キャップ  
 43 バンプ電極  
 44 配線  
 45 リード  
 46 ピン  
 50 ツール  
 51 鏡面

【図1】

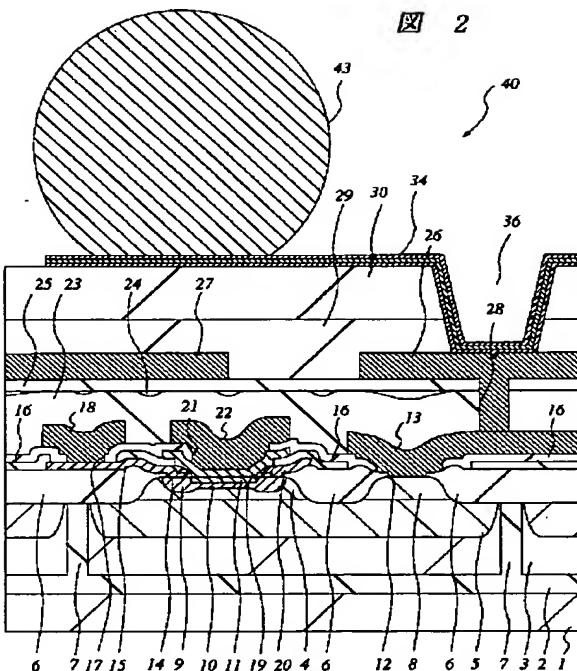
図1



40: 半導体チップ  
 41: パッケージ基板  
 43: バンプ電極

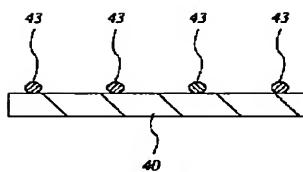
【図2】

図2



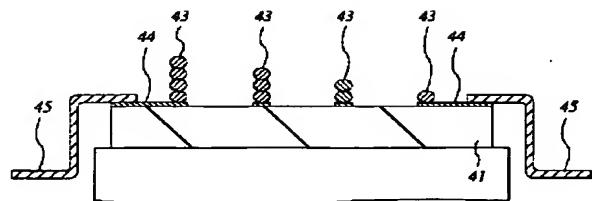
【図3】

図3



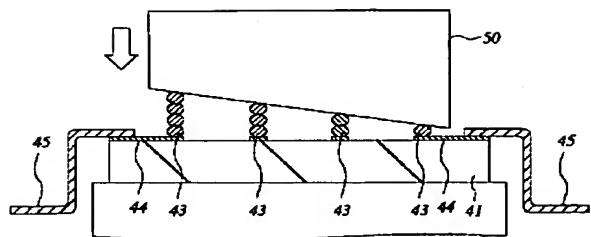
【図4】

図4



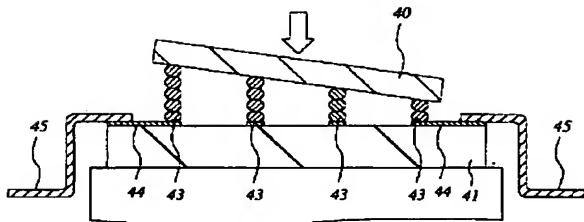
【図5】

図 5



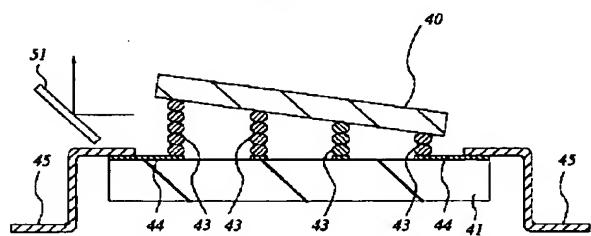
【図6】

図 6



【図7】

図 7



【図8】

図 8

